

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-262489
 (43)Date of publication of application : 11.10.1996

(51)Int.CI.

G02F 1/136
 H01L 21/3065
 H01L 29/786

(21)Application number : 07-066296
 (22)Date of filing : 24.03.1995

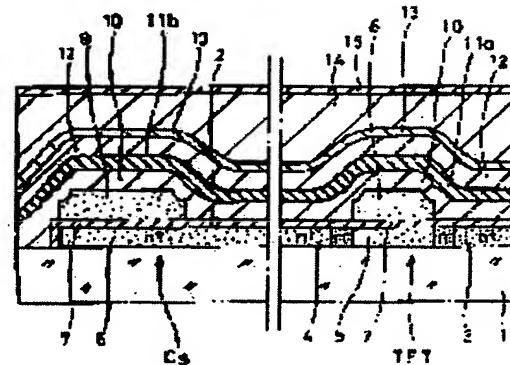
(71)Applicant : SONY CORP
 (72)Inventor : NAGAKARI YASUTAKA
 OKAMOTO KAZUHIRO

(54) SEMICONDUCTOR DEVICE AND PRODUCTION OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve the yield of a semiconductor device by enabling fine working of ground surface patterns, such as electrode patterns, and preventing the disconnection of wiring layers formed atop these patterns.

CONSTITUTION: An active layer 2 by a first layer of polycrystalline silicon layer is formed on a quartz substrate 1 and one-side electrodes 6 of signal storage capacitors Cs are formed by introducing an impurity of n-type into this active layer 2. A second layer of the polycrystalline silicon layer is thereafter formed on the active layer 2 via a thermal oxidized film (a gate insulation film) 7. The polycrystalline silicon layers are selectively removed by isotropic etching down to the middle in their thickness direction. The remaining polycrystalline silicon layers are thereafter selectively removed by anisotropic etching, by which the gate electrodes 8 of the TFTs and another electrodes 9 of the signal storage capacitors Cs by the polycrystalline silicon layers are formed. In such a case, the corner parts of the upper parts of the respective electrodes 8 and 9 have the shape chamfered by side etching of the isotropic etching.



LEGAL STATUS

[Date of request for examination] 24.10.2000

[Date of sending the examiner's decision of rejection] 12.03.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-262489

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl.
G 0 2 F 1/138
H 0 1 L 21/3065
29/786

識別記号 500
府内整理番号

F I
G 0 2 F 1/138
H 0 1 L 21/302
29/78

技術表示箇所
5 0 0
J
6 1 7 K

審査請求 未請求 請求項の数 5 OL (全 10 頁)

(21)出願番号

特願平7-66296

(22)出願日

平成7年(1995)3月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 永坂 靖貴

鹿児島県国分市野口北5-1 ソニー国分
株式会社内

(72)発明者 岡元 和裕

鹿児島県国分市野口北5-1 ソニー国分
株式会社内

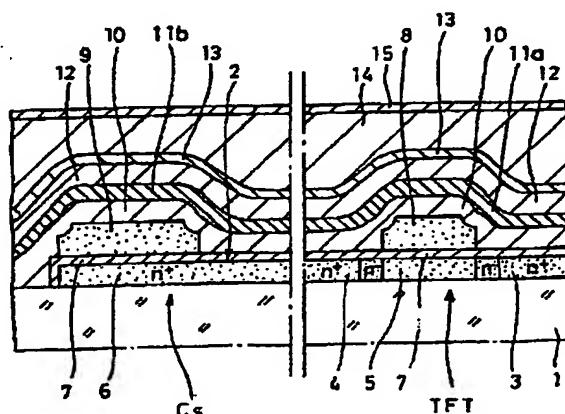
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【要約】

【目的】 電極パターン等の下地パターンの微細加工を可能とし、かつその上面に形成される配線層の断線を防止して、半導体装置の歩留まりの向上を図る。

【構成】 石英基板1上に1層目の多結晶シリコン層による活性層2を形成し、該活性層2に対してn形の不純物を導入して信号蓄積キャパシタCsの一方の電極6を形成する。その後、活性層2上に熱酸化膜(ゲート絶縁膜)7を介して2層目の多結晶シリコン層を形成し、該多結晶シリコン層をその厚み方向途中まで、等方性エッティングにて選択的に除去する。その後、残りの多結晶シリコン層を異方性エッティングにて選択的に除去して該多結晶シリコン層によるTFTのゲート電極8及び信号蓄積キャパシタCsの他方の電極9を形成する。この場合、各電極8及び9の上部の角部は等方性エッティングのサイドエッティングにより面取りされた形状となる。



1...石英基板
2...活性層
3...ソース電極
4...ドレイン電極
6...Csの一方の電極
7...ゲート絶縁膜

8...ゲート電極
9...Csの他方の電極
10,12...層間絶縁膜
11a,11b...信号線,接地線

本実施例の構成を示す断面図

【特許請求の範囲】

【請求項1】 下地パターンを含む2層以上の積層膜の少なくとも上記下地パターンの角部が面取りされていることを特徴とする半導体装置。

【請求項2】 上記下地パターンが、不純物導入により導電化された半導体層による電極であることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記下地パターンが、液晶駆動用TFTにおけるゲート電極と信号蓄積キャパシタ電極であることを特徴とする請求項2記載の半導体装置。

【請求項4】 下地パターンを含む2層以上の積層膜を有する半導体装置の製造方法において、上記下地パターンとなる膜を形成する工程と、上記膜の上部を等方性エッティングにて選択的に除去する工程と、

上記膜を異方性エッティングにて選択的に除去して上記下地パターンを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 上記下地パターンが、液晶駆動用TFTにおけるゲート電極と信号蓄積キャパシタ電極であることを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置及び半導体装置の製造方法に関し、例えば、アクティブマトリクス表示方式における液晶表示装置の液晶用駆動スイッチとして使用されるTFT（薄膜トランジスタ）に用いて好適な半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 一般に、テレビなど精細な画像を表示する場合には、解像度の高い映像が求められるため、キャラクタディスプレイ等に比べてより精細なマトリクスの構成が必要になる。従来の単純マトリクス表示方式の場合、マトリクスの構成を精細にするほど、走査電極や表示電極の数が多くなり、それに伴って、液晶の応答速度が遅くなり、クロストークによる弊害が生じる。

【0003】 そこで、最近では、スイッチング素子をマトリクス状に配列したアレイを用いて、液晶を直接スイッチ駆動するいわゆるアクティブマトリクス表示方式が注目され、実用化に至っている。この表示方式では、クロストークの問題がなく、しかも、最近めざましく進歩したLSI製造技術を駆使することによって、非常に精細な画像が表示できる液晶テレビなどを容易に実現させることができる。

【0004】 従来のアクティブマトリクス表示方式の液晶表示装置の製造方法を図6及び図7に基づいて説明すると、まず、図6Aに示すように、石英基板101上に多結晶シリコン層を例えばCVD法にて形成した後、該多結晶シリコン層をパターニングして多結晶シリコン層による活性層102を形成する。

【0005】 次に、図6Bに示すように、熱酸化を施して活性層102の全面に熱酸化膜103を形成する。この熱酸化膜103は、その後に形成されるTFTのゲート絶縁膜及び信号蓄積キャパシタの絶縁膜となる。その後、信号蓄積キャパシタとなる部分にn形の不純物（例えば砒素（As））を導入して信号蓄積キャパシタの一方の電極104を形成する。

【0006】 次に、図6Cに示すように、全面に2層目の多結晶シリコン層を形成した後、該多結晶シリコン層をパターニングして、多結晶シリコン層によるゲート電極105及び信号蓄積キャパシタ電極106を形成する。その後、ゲート電極105をマスクとして活性層102にn形の不純物（例えば砒素（As））をイオン注入してソース領域107及びドレイン領域108を形成する。

【0007】 次に、図6Dに示すように、全面に上層の配線との短絡防止のための膜厚の厚い例えばSiO₂等からなる1層目の層間絶縁膜109を例えばCVD法にて形成する。

【0008】 次に、図7Aに示すように、全面に配線材である例えばAl層を例えばスパッタリングにて被着形成した後、該Al層をパターニングしてAl層による信号線110を形成する。

【0009】 次に、図7Bに示すように、全面に上層の電極との短絡防止のための膜厚の厚い例えばSiO₂等からなる2層目の層間絶縁膜111を例えばCVD法にて形成する。その後、TFTの性能向上用に薄膜のSiN膜112を例えばプラズマCVD法にて形成する。

【0010】 次に、図7Cに示すように、全面に表面の凹凸を無くすための例えばSOG等からなる平坦化膜113を形成する。その後、ITO膜を例えばスパッタリングにて被着形成した後、該ITO膜をパターニングして液晶表示用の透明電極114を形成する。この透明電極114は、各元素毎に分離されたかたちとなる。

【0011】 その後の工程は、図示を省略するが、上記石英基板101と別の石英基板（一主面に対向電極が形成されている）をそれぞれ透明電極114と対向電極とが向かい合うように対向させ、かつスペーサを介して封着し、更に石英基板101と上記別の石英基板間に液晶層を注入した後、その注入口を封止して液晶表示装置を得る。

【0012】

【発明が解決しようとする課題】 ところで、電極材料である例えば多結晶シリコン層をパターニングするためのドライエッティングとして、図8Aに示すように、全ての方向にエッティングが進む等方性エッティングによる方法と、図8Bに示すように、1方向のみエッティング進む異方性エッティングによる方法がある。

【0013】 等方性エッティングの場合、図8Aに示すように、フォトレジスト121下の多結晶シリコン層12

2に対するサイドエッティングが進むため、多結晶シリコン層122をフォトレジスト121のレジストパターンに沿った形状にパターニングを行なうことができないが、異方性エッティングの場合、図8Bに示すように、多結晶シリコン層122をフォトレジスト121のレジストパターンに沿った形状にパターニングを行なうことができることから、線幅の微細化が進むに伴い、上記異方性エッティングによる方法が必要な技術となってくる。

【0014】そして、パターン形成された膜上にある膜をCVDにて被着形成した際、水平方向に比べて垂直方向の膜厚が薄くなる傾向がある。即ち、図9の例で示すと、パターン形成された例えは多結晶シリコン層による電極パターン122上にある膜123をCVD法等で被着形成した場合、電極パターン122上面における膜厚t1よりも段差側面における膜厚t2が薄くなる傾向がある($t_1 > t_2$)。

【0015】この傾向は、パターン形成された膜(例えは多結晶シリコン層による電極パターン122など)の段差が高くなるほど顕著に現れることになる。

【0016】そのため、図7Aで示すように、A1層をスパッタリングにて被着形成した後に、該A1層をパターンして信号線110を形成した際、A1層が下層の段差部分で断線するおそれがあった。

【0017】本発明は、上記の課題に鑑みてなされたもので、その目的とするところは、例えは電極パターン等の下地パターンの上面に形成される配線層の断線を防止することができる半導体装置を提供することにある。

【0018】また、本発明の他の目的は、例えは電極パターン等の下地パターンの微細加工が可能で、かつその上面に形成される配線層の断線を防止することができ、半導体装置の歩留まりの向上を図ることができる半導体装置の製造方法を提供することにある。

【0019】

【課題を解決するための手段】本発明に係る半導体装置は、下地パターンを含む2層以上の積層膜の少なくとも上記下地パターンの角部を面取りして構成する。

【0020】また、本発明の半導体装置の製造方法は、下地パターンを含む2層以上の積層膜を有する半導体装置の製造方法において、上記下地パターンとなる膜を形成する工程と、上記膜の上部を等方性エッティングにて選択的に除去する工程と、上記膜を異方性エッティングにて選択的に除去して上記下地パターンを形成する工程とを有する。

【0021】

【作用】本発明に係る半導体装置においては、下地パターンの角部が面取りされていることから、該下地パターン上に形成される膜の特に下地パターンの段差部に対応する部分がなだらかとなって、上記膜形成後において、上記下地パターンの段差が小さくなり、しかも、該膜のステップカバレージ(段差被覆性)が良好となる。

【0022】その結果、下地パターン上に形成された膜上に形成される例えは配線層の断切れが回避され、下地パターン上に積層膜が形成された半導体装置の歩留まりを向上させることができとなる。

【0023】特に、下地パターンが液晶駆動用TFTにおけるゲート電極と信号蓄積キャバシタ電極である場合、上層に形成される配線材料である例えはA1層(信号線)の断切れが回避され、液晶駆動用TFTを有する液晶表示装置の歩留まりを向上させることができとなる。

【0024】次に、本発明の半導体装置の製造方法においては、下地パターンとなる膜を形成した後、該膜の上部を等方性エッティングにて選択的に除去する。このとき、等方性エッティングの特性により、膜のサイドエッティングが進み、そのエッティング段差がなめらかとなる。その後、上記膜を異方性エッティングにて選択的に除去して上記膜による下地パターンを形成する。

【0025】下地パターンは、最初の等方性エッティングによって、そのエッティング段差がなめらかとされているため、異方性エッティング後の下地パターンの角部が面取りされたかたちとなる。

【0026】従って、下地パターン上に形成される膜の特に下地パターンの段差部に対応する部分がなだらかとなって、上記膜形成後において、上記下地パターンの段差が小さくなり、しかも、該膜のステップカバレージ(段差被覆性)が良好となる。

【0027】その結果、下地パターン上に形成された上記膜上に形成される例えは配線層の断切れが回避され、下地パターン上に積層膜が形成された半導体装置の歩留まりを向上させることができとなる。

【0028】特に、下地パターンが液晶駆動用TFTにおけるゲート電極と信号蓄積キャバシタ電極である場合、上層に形成される配線材料である例えはA1層(信号線)の断切れが回避され、液晶駆動用TFTを有する液晶表示装置の歩留まりを向上させることができとなる。

【0029】また、下地パターンが最終的には、異方性エッティングにてパターニングされることから、例えは異方性エッティングを垂直モードとした場合、下地パターンが垂直方向にパターニングされ、従って、下地パターンの微細加工ができ、線幅の縮小化を図ることができとなる。

【0030】

【実施例】以下、本発明に係る半導体装置を、アクティブマトリクス表示方式における液晶表示装置の液晶用駆動スイッチとして使用されるTFT(薄膜トランジスタ)と信号蓄積に用いられる信号蓄積キャバシタに適用した実施例(以下、単に実施例に係る半導体装置と記す)を図1～図5を参照しながら説明する。

【0031】この実施例に係る半導体装置は、図1に示

すように、石英基板1上に1層目の多結晶シリコン層による活性層2（TFTのソース領域3、ドレイン領域4及びチャネル領域5並びに信号蓄積キャバシタの一方の電極6となる領域）が形成され、この活性層2上に薄い例えば熱酸化あるいはCVD法によるSiO₂膜7を介して2層目の多結晶シリコン層によるゲート電極8及び信号蓄積キャバシタの他方の電極9が形成されて構成されている。

【0032】上記構成において、ゲート電極9と活性層2におけるソース領域3、ドレイン領域4及びチャネル領域5にて液晶駆動用のTFTが構成され、活性層2における一方の電極6及び2層目の多結晶シリコン層による他方の電極8並びにこれら電極6及び8間に介在する絶縁膜7にて信号蓄積キャバシタCsが構成される。

【0033】また、各電極8及び9上には、上層に形成される信号線11との絶縁と保護を目的とした例えばSiO₂等からなる1層目の層間絶縁膜10が形成され、この層間絶縁膜10上に配線材料である例えばA1層による信号線11a及び接地線11bが形成されている。

【0034】上記信号線11上には、例えばSiO₂等からなる2層目の層間絶縁膜12が形成され、この層間絶縁膜12上にTFTや信号蓄積キャバシタCsの特性向上を目的としたプラズマCVD法によるSiN膜（以下、P-SiN膜と記す）13が形成され、このP-SiN膜13上に平坦化を目的とした例えばSOG等からなる平坦化膜14が形成され、この平坦化膜14上に表示用としての例えばITO膜からなる透明電極15が形成されている。なお、図1の例は、透明電極15に対するバーニングを行なう前の状態を示すものである。

【0035】そして、本実施例に係る半導体装置においては、2層目の多結晶シリコン層によるゲート電極8及び信号蓄積キャバシタCsの他方の電極9の各上部における角部が面取りされて構成されている。

【0036】このことから、上記ゲート電極8及び信号蓄積キャバシタCsの他方の電極9上に形成される1層目の層間絶縁膜10、特に各電極8及び9の段差部に対応する部分がなだらかとなって、上記層間絶縁膜10の形成後において、ゲート電極8及び信号蓄積キャバシタCsの他方の電極9の段差が小さくなり、しかも、該層間絶縁膜10のステップカバレージ（段差被覆性）が良好となる。

【0037】その結果、ゲート電極8及び信号蓄積キャバシタCsの他方の電極9上に形成された層間絶縁膜10上に形成されるA1層による信号線11a及び接地線11bの断切れが回避され、液晶駆動用TFTを有する液晶表示装置の歩留まりを向上させることができるとなる。

【0038】次に、上記実施例に係る半導体装置の製造方法について図2～図5の工程図を参照しながら説明する。なお、図1と対応する部分については同符号を記

す。

【0039】まず、図2Aに示すように、石英基板1上に、厚み約800Åの1層目の多結晶シリコン層を例えれば減圧CVD法にて形成する。その後、シリコン（Si）を注入エネルギー約30keV、注入量 $1 \times 10^{15} \text{ cm}^{-2}$ 及び注入エネルギー60keV、注入量 $1 \times 10^{16} \text{ cm}^{-2}$ にて多結晶シリコン層に打ち込んだ後、温度620°Cにて固相成長させることによって、結晶性の良好な1層目の多結晶シリコン層を得る。その後、上記1層目の多結晶シリコン層をバーニングして活性層2を形成する。

【0040】次に、図2Bに示すように、熱酸化を施して、活性層2の表面に厚み約800Åの熱酸化膜7を形成する。即ち、熱酸化膜7によるTFTのゲート絶縁膜7と信号蓄積キャバシタCsの絶縁膜7を形成する。

【0041】次に、図2Cに示すように、上記活性層2中、信号蓄積キャバシタCsとなる部分に対応する箇所に開口を有するフォトレジストによるマスク（以下、単にレジストマスクと記す）21を形成した後、該レジストマスク21の開口を通じて活性層2内にn形の不純物、例えば砒素（As）を注入エネルギー約30keV、注入量 $5 \times 10^{14} \text{ cm}^{-2}$ にてイオン注入して信号蓄積キャバシタCsの一方の電極6を形成する。

【0042】次に、図2Dに示すように、上記レジストマスク21を除去した後、全面に厚み約3500Åの2層目の多結晶シリコン層22を減圧CVD法にて形成する。その後、2層目の多結晶シリコン層22上にPSG（リン・シリケート・ガラス）23を形成した後（二点鎖線で示す）、熱処理を施して、PSG23からのリン（P）の拡散により、下層の多結晶シリコン層22を低抵抗化（導電化）させる。

【0043】次に、図3Aに示すように、上記PSG23を除去した後、2層目の多結晶シリコン層22上にレジストマスク24を形成し、その後、該マスク24の窓24aから露出する下層の多結晶シリコン層22をその厚み方向途中まで、例えば多結晶シリコン層の厚みの例えば1/3ほど等方性エッティングにて除去する。この等方性エッティングとしては、例えばCF₄ガスとO₂ガスとの混合ガス（混合比CF₄：O₂=95:5）によるプラズマエッティング処理を用いることができる。

【0044】この等方性エッティングの特性により、多結晶シリコン層22へのサイドエッティングが進み、このエッティング加工後の残存する多結晶シリコン層22は、エッティング段差部の下部が広がった断面ほぼ台形状にバーニングされ、全体としてなだらかな形状となる。なお、多結晶シリコン層22をその厚み方向途中までエッティングする場合、例えば時間制御にて行なうことができる。

【0045】次に、図3Bに示すように、上記レジストマスク24をそのままにして、該レジストマスク24の

窓 24a から露出する残りの多結晶シリコン層 22 を今度は異方性エッティングにて除去する。この異方性エッティングとしては、例えば HBr ガスと Cl₂ ガスの混合ガスによる垂直モードの RIE (反応性イオンエッティング) を用いることができる。この異方性エッティングにより、多結晶シリコン層 22 の段差形状は、エッティング方向に沿つたものとなる。本実施例では垂直モードの RIE によるため、段差の角度も垂直となる。しかも、上記等方性エッティングの場合と異なり、多結晶シリコン層 22 に対するサイドエッティング現象は発生せず、多結晶シリコン層 22 は、レジストマスク 24 のパターンに沿つて忠実にバーニングされる。

【0046】上記等方性エッティング及び異方性エッティングによって、図 3C に示すように、2 層目の多結晶シリコン層 22 による TFT のゲート電極 8 と信号蓄積キャバシタ Cs の他方の電極 9 が完成する。これら各電極 8 及び 9 の上部の角部 a は、上記等方性エッティングによるサイドエッティングによって面取りされた形状となっている。

【0047】次に、図 3D に示すように、上記ゲート電極 8 をマスクとして、活性層 2 内に LDD (lightly doped drain) 形成用の不純物、例えば砒素 (As) を注入エネルギー約 160 keV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ にてイオン注入することにより、活性層 2 内に LDD 領域 25 を形成する。なお、上記活性層 2 中、ゲート電極 8 下の領域は TFT のチャネル領域 5 を構成する。

【0048】次に、図 4A に示すように、ゲート電極 8 を所定の厚みで被覆するレジストマスク 26 を形成した後、該レジストマスク 26 をマスクとして活性層 2 内に n チャネル形成用の不純物、例えば砒素 (As) を注入エネルギー約 140 keV、注入量 $2 \times 10^{15} \text{ cm}^{-2}$ にてイオン注入することにより、活性層 2 内に n 形のソース領域 3 及びドレイン領域 4 を形成する。

【0049】次に、図 4B に示すように、上記レジストマスク 26 を除去した後、例えば PSG からなる厚み約 2000 Å の層間絶縁膜 10 を減圧 CVD 法にて形成する。この場合、各電極 8 及び 9 の上部の角部 a が面取りされたかたちとなっているため、層間絶縁膜 10 の特に各電極 8 及び 9 の段差部に対応する部分がなだらかとなって、該層間絶縁膜 10 の形成後ににおいて、各電極 8 及び 9 の段差が小さくなり、しかも、層間絶縁膜 10 のステップカバレージ (段差被覆性) が良好となる。

【0050】その後、図示しないが、層間絶縁膜 10 における信号蓄積キャバシタ Cs の他方の電極 9 及び TFT のソース領域 3 に対応する箇所にコンタクトホールを形成する。この場合、例えば HF 液と NH₄ F 液の混合液によるウェットエッティングにて形成する。

【0051】次に、図 4C に示すように、全面に配線材料である例えば厚み約 1000 Å の A1 層を例えばスパッタリングにより被着形成した後、該 A1 層をバーニ

ングして、A1 層による信号線 11a 及び接地線 11b を形成する。この場合、下層の層間絶縁膜 10 の段差が各電極 8 及び 9 の角部 a における面取り形状によって小さくなっているため、信号線 11a 及び接地線 11b における各電極 8 及び 9 の段差部での断線は生じない。

【0052】次に、図 5A に示すように、全面に例えば SiO₂ 等からなる厚み約 2000 Å の 2 層目の層間絶縁膜 12 を形成する。その後、全面に TFT 及び信号蓄積キャバシタ Cs の特性向上のための SiN 膜 13 をプラズマ CVD 法にて形成する。このプラズマ CVD 法による SiN 膜 (P-SiN 膜) 13 は、その機械的強度が高いため、下層の TFT 及び信号蓄積キャバシタ Cs をキズから守ることができると共に、TFT 及び信号蓄積キャバシタ Cs への水分の侵入を防ぐことができる。また、この P-SiN 膜 13 は水素 (H₂) を多く含むため、該 P-SiN 膜 13 からの水素 (H₂) が例えば TFT 側に供給されることにより、活性層 2 の界面準位が十分に低減され、各素子 (TFT 及び Cs) の特性の向上につながる。

【0053】そして、図 5B に示すように、表面の凹凸を平坦化する目的で全面に例えば SOG 等による平坦化膜 14 を形成した後、全面に表示用としての例えば ITO 膜を例えばスパッタリングにて被着形成した後、該 ITO 膜をバーニングして液晶表示用の透明電極 15 を形成する。

【0054】その後の工程は、図示を省略するが、上記石英基板 1 と別の石英基板 (一主面に對向電極が形成されている) をそれぞれ透明電極 15 と對向電極とが向かい合うように対向させ、かつスペーサを介して封着し、更に石英基板 1 と上記別の石英基板間に液晶層を注入した後、その注入口を封止して液晶表示装置を得る。

【0055】上記実施例に係る半導体装置の製造方法によれば、各電極 8 及び 9 を構成する 2 層目の多結晶シリコン層 22 を形成した後、該多結晶シリコン層 22 の上部を等方性エッティングにて選択的に除去し、その後、残りの多結晶シリコン層 22 を異方性エッティングにて選択的に除去して該多結晶シリコン層 22 による TFT のゲート電極 8 及び信号蓄積キャバシタ Cs の他方の電極 9 を形成するようにしたので、多結晶シリコン層 22 による各電極 8 及び 9 は、最初の等方性エッティングによって、そのエッティング段差がなめらかとされているため、異方性エッティング後の各電極 8 及び 9 の角部 a が面取りされたかたちとなる。

【0056】従つて、各電極 8 及び 9 上に形成される層間絶縁膜 10 の特に各電極 8 及び 9 の段差部に対応する部分がなだらかとなって、該層間絶縁膜 10 の形成後ににおいて、該各電極 8 及び 9 の段差が小さくなり、しかも、上記層間絶縁膜 10 のステップカバレージ (段差被覆性) が良好となる。

【0057】その結果、各電極 8 及び 9 上に形成された

層間絶縁膜 10 上に形成される A1 層による信号線 11 a 及び接地線 11 b の断切が回避され、各電極 8 及び 9 上に積層膜が形成された半導体装置、この例では液晶駆動用 TFT と信号蓄積キャバシタ Cs を有する液晶表示装置の歩留まりを向上させることが可能となる。

【0058】また、各電極 8 及び 9 が最終的には、垂直モードの RIE にてパターニングされることから、各電極 8 及び 9 が垂直方向にパターニングされ、従って、各電極 8 及び 9 の微細加工ができ、各電極 8 及び 9 の線幅の縮小化を図ることが可能となる。

【0059】上記実施例においては、液晶駆動用 TFT と信号蓄積キャバシタ Cs を有する液晶表示装置に適用した例を示したが、その他、例えば多結晶シリコン層や高融点金属によるシリサイド層並びに高融点金属によるポリサイド層による配線層を下地パターンとし、この下地パターン上に層間絶縁膜を介して A1 層や他の配線層が形成されたものであれば、すべての半導体装置において適用可能である。

【0060】

【発明の効果】上述のように、本発明に係る半導体装置によれば、下地パターンを含む 2 層以上の積層膜の少なくとも上記下地パターンの角部を箇取りするようにしたので、上記下地パターンの上面に形成される配線層の断線を防止することができる。

【0061】また、本発明に係る半導体装置の製造方法によれば、下地パターンを含む 2 層以上の積層膜を有する半導体装置の製造方法において、上記下地パターンとなる膜を形成する工程と、上記膜の上部を等方性エッチングにて選択的に除去する工程と、上記膜を異方性エッチングにて選択的に除去して上記下地パターンを形成する工程とを有するようにしたので、上記下地パターンの微細加工が可能で、かつその上面に形成される配線層の断線を防止することができ、半導体装置の歩留まりの向上を図ることができる。

【図1】本発明に係る半導体装置を、アクティブマトリクス表示方式における液晶表示装置の液晶用駆動スイッチとして使用される TFT (薄膜トランジスタ) と信号蓄積に用いられる信号蓄積キャバシタに適用した実施例 (以下、単に実施例に係る半導体装置と記す) の構成を示す断面図である。

【図2】本実施例に係る半導体装置の製造方法を示す工程図 (その1) である。

【図3】本実施例に係る半導体装置の製造方法を示す工程図 (その2) である。

【図4】本実施例に係る半導体装置の製造方法を示す工程図 (その3) である。

【図5】本実施例に係る半導体装置の製造方法を示す工程図 (その4) である。

【図6】従来例に係る半導体装置の製造方法を示す工程図 (その1) である。

【図7】従来例に係る半導体装置の製造方法を示す工程図 (その2) である。

【図8】等方性エッチングと異方性エッチングの違いを説明するための断面図である。

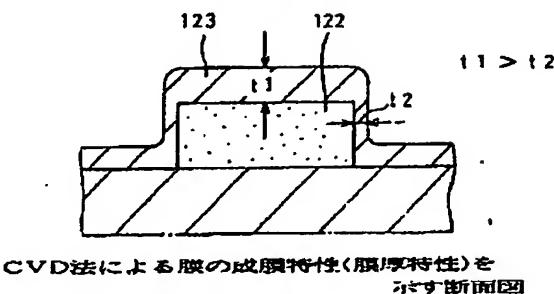
【図9】CVD 法による膜の成膜特性、特に膜厚特性を説明するための断面図である。

【符号の説明】

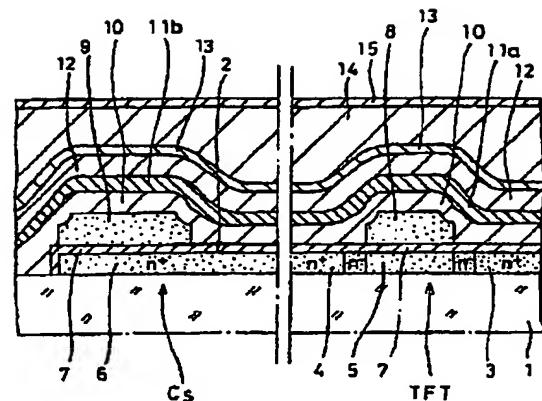
- 1 石英基板
- 2 活性層
- 3 ソース領域
- 4 ドレイン領域
- 5 チャネル領域
- 6 信号蓄積キャバシタ Cs の一方の電極
- 7 ゲート絶縁膜
- 8 TFT のゲート電極
- 9 信号蓄積キャバシタ Cs の他方の電極
- 10, 12 層間絶縁膜
- 11 a, 11 b 信号線、接地線

【図面の簡単な説明】

【図9】



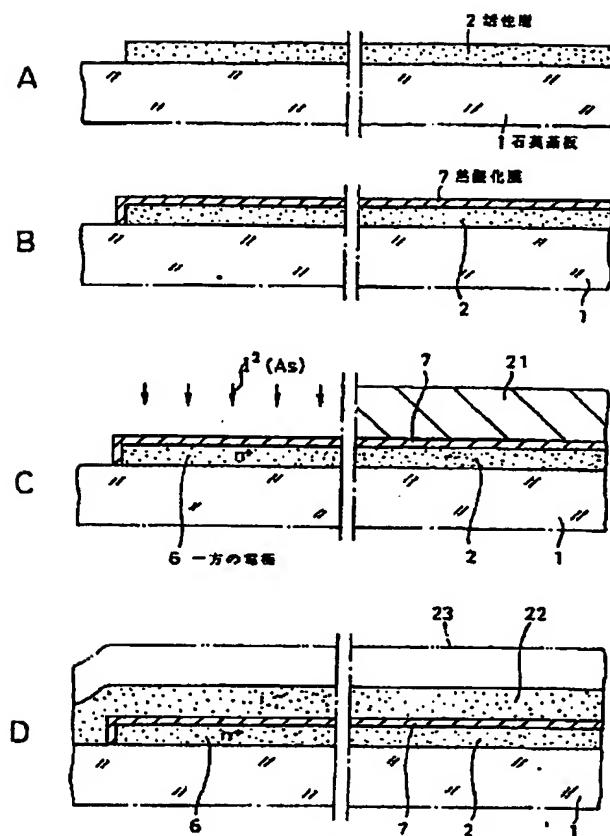
【図1】



本実施例の構成を示す断面図

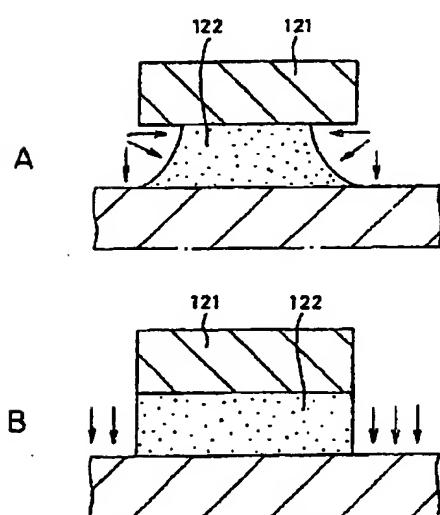
本実施例の構成を示す断面図

【図2】

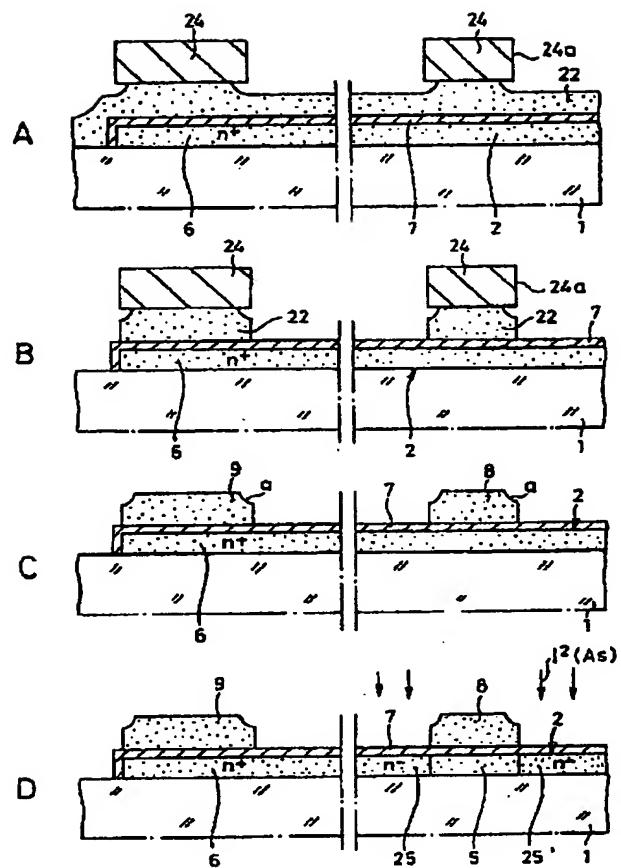


本実施例の製造工程図(その1)

【図3】

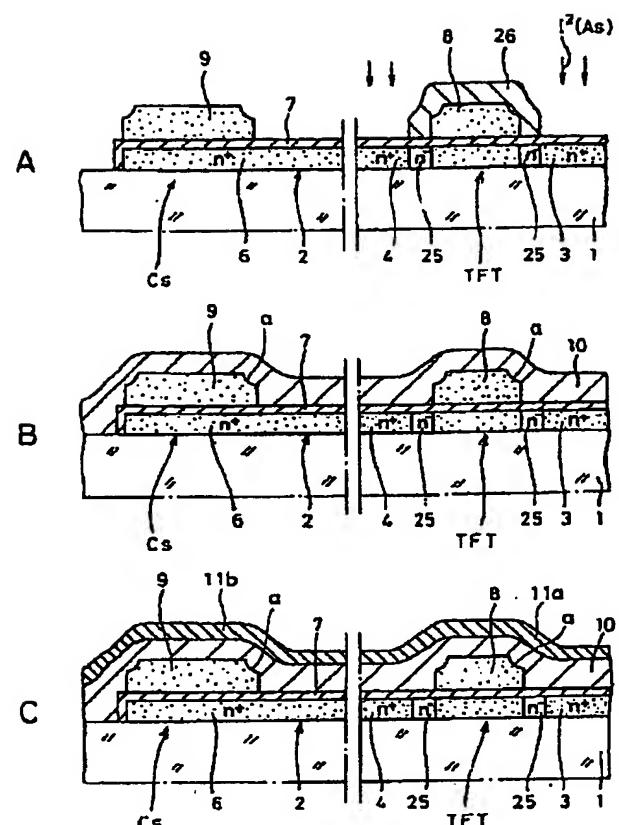
等方性エッチャングと
異方性エッチャングの違いを示す断面図

【図3】



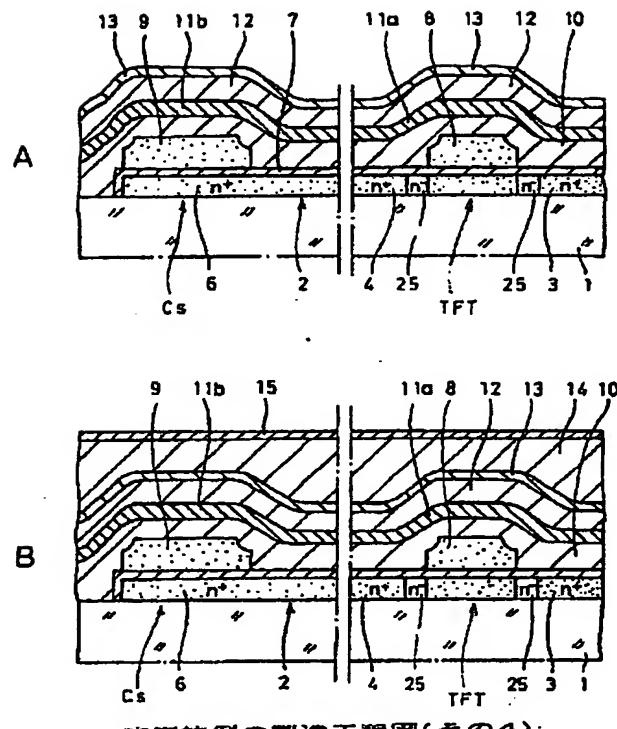
本実施例の製造工程図(その2)

【図4】

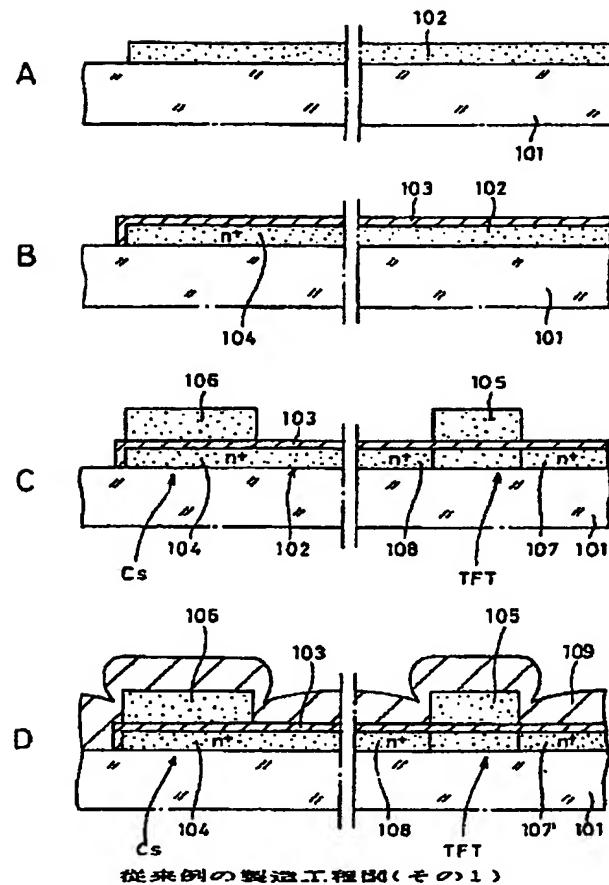


本実施例の製造工程図(その3)

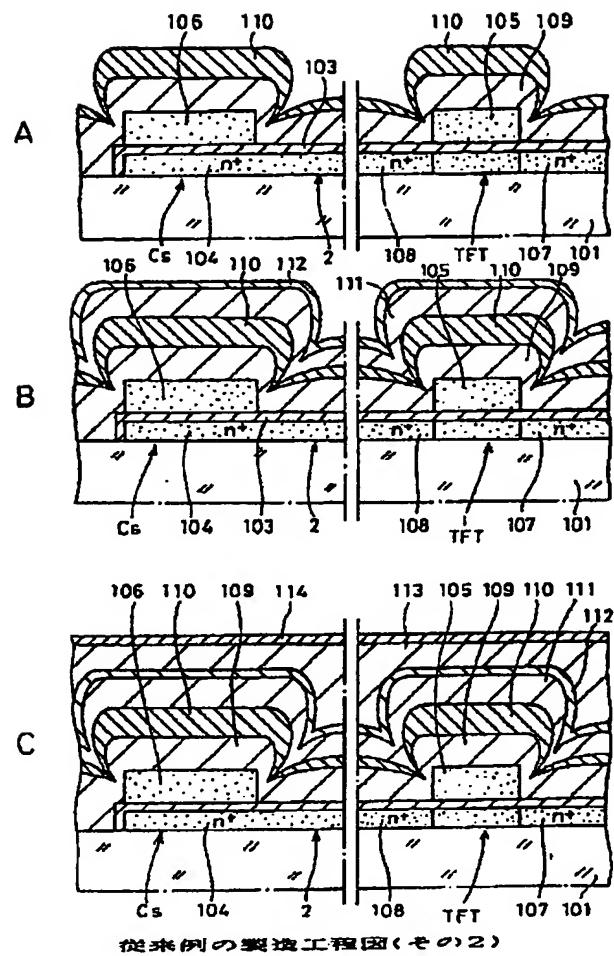
【図5】



【図6】



【図7】



従来例の製造工程図(その2)